

BEST AVAILABLE COPY

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020016311 A
(43)Date of publication of application: 04.03.2002

(21)Application number: 1020000049575
(22)Date of filing: 25.08.2000

(71)Applicant: HYUNDAI DISPLAY TECHNOLOGY INC.
(72)Inventor: JUN, JEONG MOK
LEE, DEUK SU
LEE, SEOK YEOL

(51)Int. Cl. H01L 29/786

(54) THIN-FILM-TRANSISTOR LIQUID CRYSTAL DISPLAY

(57) Abstract:

PURPOSE: A thin-film-transistor liquid crystal display(TFT-LCD) is provided to reduce parasitic capacitance between a gate and a source electrode, by forming a drain electrode of a U or V type and by forming a part of a line-typed source electrode electrically connected to a pixel electrode in the U or V type.

CONSTITUTION: The drain electrode(14b) is connected to a data line made of a U- or V-typed pattern. The source electrode(14a) electrically connected to a transparent pixel electrode(16) through a contact hole(18) is made of a line-type pattern. At least a part of the source electrode is formed in the U- or V-typed pattern.

© KIPO 2002

Legal Status

Final disposal of an application (application)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 29/786

(11) 공개번호 특2002-0016311
(43) 공개일자 2002년03월04일

(21) 출원번호 10-2000-0049575
(22) 출원일자 2000년08월25일

(71) 출원인 주식회사 현대 디스플레이 테크놀로지
경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 이득수
경기도이천시대월면사동리441-1현대전자사원아파트101동603호
전정목
서울특별시광진구구의동현대아파트603동107호
이석열
경기도이천시부발읍아미리현대7차아파트706동1401호

(74) 대리인 강성배

심사청구 : 없음

(54) 박막 트랜지스터의 액정표시소자

요약

액정 표시 소자에 있어서, U 또는 V자 패턴으로 형성된 데이터 라인과 연결되어 있는 드레인 전극과; 투명화소 전극과 콘택홀을 통해 전기적으로 연결되어 있는 소오스 전극이 일자 패턴으로 형성되는 소오스 전극; 및 상기 소오스 전극의 적어도 일부가 상기 U 또는 V자형 패턴 사이로 들어가도록 형성되는 것을 특징으로 한다.

대표도
도 2a

명세서

도면의 간단한 설명

도 1은 종래의 박막 트랜지스터의 액정표시소자를 설명하기 위한 평면도.

도 2a는 본 발명의 박막 트랜지스터의 액정표시소자를 설명하기 위한 평면도.

도 2b 내지 도 2h는 본 발명의 다른 실시예를 통한 박막 트랜지스터의 액정표시소자를 설명하기 위한 평면도.

• 도면의 주요 부분에 대한 부호 설명 •

12 : 게이트 라인 12a : 게이트 전극

13 : 액티브 패턴 14 : 데이터 라인

14a : 소오스 전극 14b : 드레인 전극

16 : 화소전극 18 : 콘택홀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 액정표시 소자에 관한 것으로, 특히, 기생 캐패시턴스를 억제하여 화질 및 제조 수율을 향상시키기 위한 박막 트랜지스터 액정표시소자의 박막 트랜지스터 어레이 기판에 관한 것이다.

텔레비전 및 그래픽 디스플레이 등의 표시 장치에 이용되는 액정표시소자 (Liquid Crystal Display : 이하, LCD)는 CRT(Cathod-ray tube)를 대신하여 개발되어져 왔다. 특히, 매트릭스 형태로 배열된 각 화소마다 박막 트랜지스터(Thin Film Transistor : 이하, TFT)가 구비된 TFT LCD는 고속 응답 특성을 갖는 잇점과 고화소수에 적합하다는 잇점 때문에 CRT에 필적할만한 화면의 고화질화 및 대형화, 컬러화 등을 실현하는데 크게 기여하고 있다.

이러한 TFT LCD는 일반적으로 TFT 및 화소전극이 구비된 TFT 어레이 기판과, 레드(Red), 블루(Blue) 및 그린(Green) 삼색의 컬러필터가 반복 배열된 컬러필터 기판이 소정 간격을 두고 대향하게 합착되고, 이들 사이의 공간에는 액정이 봉입된 형태를 이루고 있다.

도 1은 종래 TFT 어레이 기판의 일부분을 도시한 요부 평면도로서, 도시된 바와 같이, 게이트 라인(2)과 데이터 라인(4)은 유리기판(도시되지 않음) 상에 수직 교차되게 구비되고, 이들에 의해 한정된 화소영역에는 화소전극(6)이 구비된다. 또한, 게이트 라인(2)과 데이터 라인(4)의 교차부에는 스위칭 소자인 TFT(10)가 구비되며, 여기서, 상기 TFT(10)는 게이트 라인(2)에서 연장된 게이트 전극(2a)과, 그 상부에 배치되는 액티브 패턴(7), 상기 데이터 라인(4)으로부터 인출되어 상기 액티브 패턴(7)의 일측 상부면과 오버랩되게 배치된 소오스 전극(4a) 및 상기 소오스 전극(4a)과 이격되어 상기 액티브 패턴(7)의 타측 상부면과 오버랩되게 배치된 드레인 전극(4b)을 포함한다. 이때, 소오스 전극(4a)은 화소전극(6)과 콘택홀(8)을 통하여 접속되게 배치된다.

한편, 도시되지는 않았으나, 게이트 라인과 데이터 라인 사이에는 그들간의 전기적 절연을 위해, 게이트 절연막이 개재되며, 아울러, 액티브 패턴과 소오스 및 드레인 전극 사이에는 그들간의 접촉 특성을 향상시키기 위한 오믹층이 구비된다.

발명이 이루고자 하는 기술적 과제

그러나, 상기와 같은 박막 트랜지스터의 액정표시 소자는 다음과 같은 문제점이 있다.

도 1에 도시된 바와같이, 상기 게이트 전극과 게이트 전극의 일부분과 오버랩된 소오스 전극 및 드레인 전극간의 중첩 면적에 의하여 기생 캐패시턴스가 생성된다. 이러한 기생 캐패시턴스는 인가 전압에 대한 전압 손실을 발생시켜 화질에 나쁜 영향을 미친다.

따라서, 상기 기생 캐패시턴스를 억제하기 위해 기생 캐패시턴스의 면적을 줄여야한다. 하지만, 기생 캐패시턴스를 줄이기 위해서는 트랜지스터의 폭을 줄여야 하기 때문에 기생 캐패시턴스만 줄어드는것이 아니라 트랜지스터의 온(ON) 전류도 줄어든다.

이에따라, 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, 데이터 라인과 연결되어 있는 드레인 전극을 U 또는 V자 형태로 형성하고, 소오스 전극을 일자로 형성하여 화질 및 제조 수율을 향상시키는 박막 트랜지스터의 액정표시 소자를 제공하는데에 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명은, 액정 표시 소자에 있어서, U 또는 V자 패턴으로 형성된 데이터 라인과 연결되어 있는 드레인 전극과; 투명화소 전극과 콘택홀을 통해 전기적으로 연결되어 있는 소오스 전극이 일자 패턴으로 형성되는 소오스 전극; 및 상기 소오스 전극의 적어도 일부가 상기 U 또는 V자형 패턴 사이로 들어가도록 형성되는 것을 특징한다.

상기 U 또는 V자형 드레인 전극의 일부 또는 모두가 게이트 전극과 중첩되어 있는 것을 더 포함하여 형성한다.

상기 액정표시소자의 게이트 라인과 데이터 라인 사이에 게재된 액티브 패턴을 게이트 전극 패턴보다 작게 안쪽으로 형성한다.

또한, 상기 액티브 패턴을 데이터 라인과 연결되어 있는 드레인 전극측에서는 게이트 전극 패턴보다 넓게 형성하고, 소오스 전극측에서는 소오스 전극이 게이트 전극과 중첩되는 제한된 영역에만 국부적으로 게이트 전극 패턴 보다 액티브 패턴을 넓게 형성할 수 있다.

아울러, 상기 액티브 패턴을 데이터 라인과 연결되어 있는 드레인 전극측에서는 게이트 전극 패턴보다 넓게 형성하고, 일자 형태의 소오스 전극측에서는 소오스 전극이 게이트 전극과 중첩되는 제한된 영역만을 형성시키며, 투명화소 전극과 접촉을 위해 형성된 콘택홀 형성 위치의 소오스 패턴측에는 소오스 패턴보다 넓게 형성한다.

또한, 상기 액티브 패턴을 게이트 전극 패턴보다 넓게 형성하고, 데이터 라인의 선포 보다 작게 형성하거나, 상기 액티브 패턴을 게이트 전극 패턴 및 데이터 라인의 선포 보다 넓게 형성한다.

상기 게이트 라인 및 게이트 라인에서 연장된 게이트 전극과 오버랩 되어 있는 드레인 전극의 일부 패턴을 넓게 형성하여 데이터 라인의 선포 보다 넓게 게이트 라인 상부에 중첩하여 형성한다.

또한, 상기 드레인 전극 하부에 형성된 게이트 전극의 모서리쪽 다 포함하도록 드레인 전극을 형성하여 게이트 전극과 데이터 라인 사이에 공간을 갖지 않도록 하고, 상기 데이터 라인 전체에 액티브 패턴 선포를 데이터 라인 선포 보다 작게 형성하면서, 게이트 라인과 교차하는 부분에서 데이터 라인의 선포보다 넓게 액티브 패턴을 형성하거나, 상기 액티브 패턴을 드레인 전극을 포함한 데이터 라인의 선포 보다 넓게 형성하여 박막 트랜지스터의 액정표시소자를 형성한다.

상기 데이터 라인은 바람직하게, 알루미늄, 알루미늄 합금 또는 알루미늄을 포함한 다층 구조로 형성된다.

본 발명의 다른 실시예에 있어서, 게이트 전극이 데이터 라인과 평행하게 형성된 유리기판 상부에 U 또는 V자 패턴으로 데이터 라인과 연결되어 있는 드레인 전극; 투명화소 전극과 콘택홀을 통해 전기적으로 연결되어 있는 소오스 전극이 일자 패턴으로 형성되는 소오스 전극; 및 상기 소오스 전극의 적어도 일부가 상기 U 또는 V자형 패턴 사이로 들어가도록 형성하는 것을 특징으로 한다.

상기 U 또는 V자형 드레인 전극의 일부 또는 모두가 게이트 전극과 중첩되어 있는 것을 더 포함하여 형성한다.

상기 액정표시소자의 게이트 라인과 데이터 라인 사이에 게재된 액티브 패턴을 게이트 전극 패턴보다 작게 안쪽으로 형성한다.

또한, 상기 액티브 패턴을 데이터 라인과 연결되어 있는 드레인 전극측에서는 게이트 전극 패턴보다 넓게 형성하고, 소오스 전극측에서는 소오스 전극이 게이트 전극과 중첩되는 제한된 영역에만 국부적으로 게이트 전극 패턴 보다 액티브 패턴을 넓게 형성할 수 있다.

아울러, 상기 액티브 패턴을 데이터 라인과 연결되어 있는 드레인 전극측에서는 게이트 전극 패턴보다 넓게 형성하고, 일자 형태의 소오스 전극측에서는 소오스 전극이 게이트 전극과 중첩되는 제한된 영역만을 형성시키며, 투명화소 전극과 접촉을 위해 형성된 콘택홀 형성 위치의 소오스 패턴측에는 소오스 패턴보다 넓게 형성한다.

또한, 상기 액티브 패턴을 게이트 전극 패턴보다 넓게 형성하고, 데이터 라인의 선폭 보다는 작게 형성하거나, 상기 액티브 패턴을 게이트 전극 패턴 및 데이터 라인의 선폭 보다 넓게 형성한다.

상기 게이트 라인 및 게이트 라인에서 연장된 게이트 전극과 오버랩 되어 있는 드레인 전극의 일부 패턴을 넓게 형성하여 데이터 라인의 선폭 보다 넓게 게이트 라인 상부에 중첩하여 형성한다.

또한, 상기 드레인 전극 하부에 형성된 게이트 전극의 모서리를 다 포함하도록 드레인 전극을 형성하여 게이트 전극과 데이터 라인 사이에 공간을 갖지 않도록 하고, 상기 데이터 라인 전체에 액티브 패턴 선폭을 데이터 라인 선폭 보다 작게 형성하면서, 게이트 라인과 교차하는 부분에서 데이터 라인의 선 폭보다 넓게 액티브 패턴을 형성하거나, 상기 액티브 패턴을 드레인 전극을 포함한 데이터 라인의 선폭 보다 넓게 형성하여 박막 트랜지스터의 액정표시소자를 형성한다.

상기 데이터 라인은 바람직하게, 알루미늄, 알루미늄 합금 또는 알루미늄을 포함한 다층 구조로 형성된다.

(실시에)

이하, 첨부한 도면을 참조하여 본 발명의 박막 트랜지스터의 액정표시소자를 상세히 설명한다.

도 2a는 본 발명의 박막 트랜지스터의 액정표시소자를 도시한 것이고 도 2b 내지 도 2h는 본 발명의 박막 트랜지스터의 액정표시소자에 대한 서로 다른 실시예로 액티브 패턴 및 드레인 전극을 여러가지 형태로 변형하여 나타낸 것을 도시한 것이다.

도 2a를 참조하면, 게이트 라인과 데이터 라인이 유리기판 상에 수직· 교차되고, 이들에 의해 한정된 화소영역에 화소 전극이 구비된 박막 트랜지스터의 액정표시 소자에 있어서, 데이터 라인과 연결되어 있는 드레인 전극(14b)을 U자 또는 V자형으로 형성하고, 투명화소전극(16)과 콘택홀(18)을 통해 전기적으로 연결되어 있는 소오스 전극(14a)을 일자형으로 형성한다. 여기서, 바람직하게 게이트 전극(12a)과 데이터 라인(도시되지않음)이 평행하게 형성되고, 드레인 전극(14b)은 U자형으로 형성한다. 상기 일자형의 소오스 전극(14a)은 적어도 일부가 드레인 전극(14b)의 U자 패턴 사이에 들어가 있으며, 드레인 전극(14b)의 U자 패턴의 일부 또는 모두가 게이트 전극(12a)상부에 형성된다. 여기서, 상기 게이트 전극(12a)과 소오스/드레인 전극(14a, 14b) 사이에는 액티브 패턴(13)이 게이트 전극(12a) 보다 넓게 형성되어 있다.

이러한, 박막 트랜지스터의 액정표시소자는 U자 형태의 드레인 전극을 이용함으로써, 기생 캐패시턴스의 중첩 면적을 작게 할 수 있다.

본 발명의 다른 실시예로 도 2b를 참조하면, 상기 도 2a에서 게이트 전극 (12a) 상부에 형성된 액티브 패턴(13)이 게이트 전극(12a) 보다 크게 형성된 경우, 액티브 패턴(13)이 후속 백 라이트 빛에 노출되어 광 누설 전류를 생성한다. 이에 따라, 도시된 바와같이, 상기 액티브 패턴(13)을 게이트 전극(12a) 패턴 안쪽으로 형성하면, 게이트 전극(12a)이 백라이트 빛을 차단하여 광 누설 전류를 생성 시키지 않는다.

본 발명의 다른 실시예로 도 2c를 참조하면, 상기 도 2b에서, 광 누설 전류를 차단하기 위해 액티브 패턴(13)을 게이트

전극(12a) 안 쪽에 전부 형성시키면 게이트 전극(12a)과 소오스/드레인 전극(14a, 14b)간에 액티브 패턴이 없는 영역에서 상하 쇼트 불량이 발생한다. 이에 따라, 도시된 바와같이, 백라이트 빛에 직접적인 영향을 주는 소오스 전극(14a)과 게이트 전극(12a)이 오버랩 되는 부분에서 액티브 패턴(13)을 국부적으로 넓게 형성하고, 또한, 드레인 전극 하부층에 있는 액티브 패턴(13)을 게이트 전극보다 넓게 형성하여 광 누설 전류를 줄인다.

본 발명의 다른 실시예로 도 2d를 참조하면, 상기 도 2c에서, 국부적으로 액티브 패턴(13)을 형성하면, 광 누설 전류 및 상하 쇼트 불량을 억제할 수 있으나, 국부적으로 형성된 액티브 패턴이 끝나는 부분에서 단차가 2000 ~ 2500 Å의 두께가 발생한다. 이러한 단차는 소오스 전극(14a)이 단선이 되게 하여 화소 전극(16)에 전기적인 신호가 인가 되지 않는 화소 불량의 요인이 된다. 이에 따라, 도시된 바와같이, 상기 액티브 패턴(13)을 데이터 라인과 연결되어 있는 드레인 전극(14b)측에서는 게이트 전극 패턴보다 넓게 형성하고, 일자 형태의 소오스 전극(14a)측에서는 소오스 전극이 게이트 전극과 중첩되는 소정의 제한된 영역만을 형성하며, 투명화소 전극(16)과 전기적인 접촉을 위해 형성한 콘택홀(17) 형성 위치의 소오스 전극(14a) 패턴측에는 소오스 전극(14a) 패턴보다 넓게 형성함으로써, 광 누설 전류 불량, 상하 쇼트 불량 및 액티브 패턴의 단차에 의한 소오스 전극의 단선 불량을 방지 할 수 있다.

본 발명의 다른 실시예로 도 2e를 참조하면, 일반적인 경우에 액티브 패턴을 트랜지스터가 형성되는 영역에만 제한적으로 형성하고 데이터 라인 하단에는 액티브 패턴을 형성하지 않는 경우, 데이터 라인 하단에 액티브 패턴을 형성한 경우와 비교시, 데이터 라인이 받는 배선의 스트레스가 강하다. 이에 따라, 도시된 바와 같이 데이터 라인(14) 하단부에 액티브 패턴(13)을 형성하여 데이터 라인의 단선 불량을 방지한다.

본 발명의 다른 실시예로, 도 2f를 참조하면, 상기 도 2e에서 액티브 라인을 데이터 라인 하단부에 형성하는데, 액티브 라인 선폭이 데이터 라인 선폭보다 작게 액티브 패턴이 형성되면, 게이트 라인과 데이터 라인의 상하 쇼트 불량이 발생될 가능성이 높다. 이에 따라, 도시된 바와같이, 상기 데이터 라인(14) 하단부의 액티브 패턴(13) 선폭을 데이터 라인 선폭 보다 작게 형성하면서, 게이트 라인과 교차하는 부분(a)에서 데이터 라인의 선 폭보다 넓게 액티브 패턴(13)을 형성하여 게이트 라인과 데이터 라인의 상하 쇼트 불량을 억제한다.

본 발명의 다른 실시예로, 도 2g를 참조하면, 상기 게이트 라인(12) 및 게이트 라인에서 연장된 게이트 전극(12a)과 오버랩 되어 있는 드레인 전극(14b)의 패턴을 넓게 형성하여 드레인 전극 하부층에 형성된 게이트 전극(12a)의 모서리 부분을 일부분(도시되지 않음) 또는 모두 포함하도록 데이터 라인(14)의 선폭 보다 넓게 게이트 라인 상부에 중첩하여 형성한다. 이 때, 데이터 라인(14) 전체에 액티브 패턴(13) 선폭을 데이터 라인 선폭 보다 작게 형성하면서, 게이트 라인과 교차하는 부분에서 데이터 라인의 선 폭보다 넓게 액티브 패턴을 형성하거나, 또는 도 2h에 도시된 바와같이, 상기 액티브 패턴(13)을 드레인 전극의 선폭 보다 넓게 형성하여 박막 트랜지스터의 액정표시소자를 형성한다.

발명의 효과

이상에서 자세히 설명한 바와같이, 본 발명의 박막 트랜지스터의 액정표시소자에 있어서, 드레인 전극을 U 또는 V 자 형태로 형성하고, 화소 전극과 전기적으로 연결되어 있는 소오스 전극의 일부분이 일자형태로 상기 U 또는 V 자 형태 사이에 들어가게 함으로써, 게이트/소오스 전극간 기생 캐패시턴스를 줄일 수 있어 화질 개선이 기대되며, 상기 본 발명에서 기술한 각종 실시예를 채용시 수율 향상에 기여할 수 있는 효과가 있다.

기타, 본 발명은 그 요지를 벗어나지 않는 범위 내에서 다양하게 변경하여 실시할 수 있다.

(57) 청구의 범위

청구항 1.

액정 표시 소자에 있어서,

U 또는 V자 패턴으로 형성된 데이터 라인과 연결되어 있는 드레인 전극과;

투명화소 전극과 콘택홀을 통해 전기적으로 연결되어 있는 소오스 전극이 일자 패턴으로 형성되는 소오스 전극; 및

상기 소오스 전극의 적어도 일부가 상기 U 또는 V자형 패턴 사이로 들어가도록 형성되는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 2.

제 1항에 있어서, 상기 U 또는 V자형 드레인 전극의 일부가 게이트 전극과 중첩되어 있는 것을 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 3.

제 1항에 있어서, 상기 U 또는 V자형 드레인 전극 모두가 게이트 전극과 중첩되어 있는 것을 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 4.

제 1항 내지 제 3항 중 어느 한 항에 있어서, 상기 액정표시소자의 게이트 라인과 데이터 라인 사이에 게재된 액티브 패턴을 게이트 전극 패턴보다 작게 안쪽으로 형성하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 5.

제 4항에 있어서, 상기 액티브 패턴을 데이터 라인과 연결되어 있는 드레인 전극측에서는 게이트 전극 패턴보다 넓게 형성하고, 소오스 전극측에서는 소오스 전극이 게이트 전극과 중첩되는 제한된 영역에만 국부적으로 게이트 전극 패턴보다 액티브 패턴을 넓게 형성하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 6.

제 4항에 있어서, 상기 액티브 패턴을 데이터 라인과 연결되어 있는 드레인 전극측에서는 게이트 전극 패턴보다 넓게 형성하고, 일자 형태의 소오스 전극측에서는 소오스 전극이 게이트 전극과 중첩되는 제한된 영역만을 형성시키며, 투명화소 전극과 접촉을 위해 형성된 콘택홀 형성 위치의 소오스 패턴측에는 소오스 패턴보다 넓게 형성하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 7.

제 4항에 있어서, 상기 액티브 패턴을 게이트 전극 패턴보다 넓게 형성하고, 데이터 라인 하단부에 액티브 패턴을 데이터 라인의 선포 보다 작게 형성하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 8.

제 7항에 있어서, 데이터 라인 하단부에 형성된 액티브 패턴을 게이트 전극 패턴 및 데이터 라인의 선포 보다 넓게 형성하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 9.

제 4항에 있어서, 상기 게이트 라인 및 게이트 라인에서 연장된 게이트 전극과 오버랩 되어 있는 드레인 전극의 일부 패턴을 넓게 형성하여 데이터 라인의 선폭 보다 넓게 게이트 라인 상부에 중첩하여 형성하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 10.

제 9항에 있어서, 상기 드레인 전극 하부에 형성된 게이트 전극의 모서리를 다 포함하도록 드레인 전극을 형성하여 게이트 전극과 데이터 라인 사이에 공간을 갖지 않도록 하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 11.

제 9항 또는 제 10항에 있어서, 상기 데이터 라인 전체에 액티브 패턴 선폭을 데이터 라인 선폭 보다 작게 형성하면서, 게이트 라인과 교차하는 부분에서 데이터 라인의 선폭보다 넓게 액티브 패턴을 형성하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 12.

제 9항 또는 제 10항에 있어서, 상기 액티브 패턴을 드레인 전극을 포함한 데이터 라인의 선폭 보다 넓게 형성하여 박막 트랜지스터의 액정표시소자를 형성한다.

청구항 13.

제 1항에 있어서, 상기 데이터 라인은 알루미늄, 알루미늄 합금 또는 알루미늄을 포함한 다층 구조로 형성되는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 14.

게이트 전극이 데이터 라인과 평행하게 형성된 유리기판 상부에 U 또는 V자 패턴으로 데이터 라인과 연결되어 있는 드레인 전극;

투명화소 전극과 콘택홀을 통해 전기적으로 연결되어 있는 소오스 전극이 일자 패턴으로 형성되는 소오스 전극; 및

상기 소오스 전극의 적어도 일부가 상기 U 또는 V자형 패턴 사이로 들어가도록 형성하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 15.

제 14항에 있어서, 상기 U 또는 V자형 드레인 전극의 일부가 게이트 전극과 중첩되어 있는 것을 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 16.

제 14항에 있어서, 상기 U 또는 V자형 드레인 전극 모두가 게이트 전극과 중첩되어 있는 것을 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 17.

제 14항 내지 제 16항 중 어느 한 항에 있어서, 상기 액정표시소자의 게이트 라인과 데이터 라인 사이에 게재된 액티브 패턴을 게이트 전극 패턴보다 작게 안쪽으로 형성하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 18.

제 17항에 있어서, 상기 액티브 패턴을 데이터 라인과 연결되어 있는 드레인 전극측에서는 게이트 전극 패턴보다 넓게 형성하고, 소오스 전극측에서는 소오스 전극이 게이트 전극과 중첩되는 제한된 영역에만 국부적으로 게이트 전극 패턴보다 액티브 패턴을 넓게 형성하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 19.

제 17항에 있어서, 상기 액티브 패턴을 데이터 라인과 연결되어 있는 드레인 전극측에서는 게이트 전극 패턴보다 넓게 형성하고, 일자 형태의 소오스 전극측에서는 소오스 전극이 게이트 전극과 중첩되는 제한된 영역만을 형성시키며, 투명 화소 전극과 접촉을 위해 형성된 콘택홀 형성 위치의 소오스 패턴측에는 소오스 패턴보다 넓게 형성하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 20.

제 17항에 있어서, 상기 액티브 패턴을 게이트 전극 패턴보다 넓게 형성하고, 데이터 라인 하단부에 액티브 패턴을 데이터 라인의 선폭 보다 작게 형성하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 21.

제 17항에 있어서, 데이터 라인 하단부에 형성된 액티브 패턴을 게이트 전극 패턴 및 데이터 라인의 선폭 보다 넓게 형성하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 22.

제 17항에 있어서, 상기 게이트 라인 및 게이트 라인에서 연장된 게이트 전극과 오버랩 되어 있는 드레인 전극의 일부 패턴을 넓게 형성하여 데이터 라인의 선폭 보다 넓게 게이트 라인 상부에 중첩하여 형성하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 23.

제 22항에 있어서, 상기 드레인 전극 하부에 형성된 게이트 전극의 모서리를 다 포함하도록 드레인 전극을 형성하여 게이트 전극과 데이터 라인 사이에 공간을 갖지 않도록 하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 24.

제 22항 또는 제 23항에 있어서, 상기 데이터 라인 전체에 액티브 패턴 선폭을 데이터 라인 선폭 보다 작게 형성하면서, 게이트 라인과 교차하는 부분에서 데이터 라인의 선 폭보다 넓게 액티브 패턴을 형성하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 25.

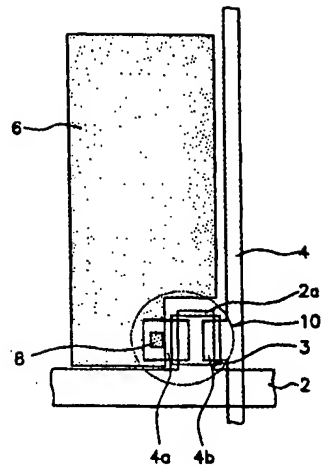
제 22항 또는 제 23항에 있어서, 상기 액티브 패턴을 드레인 전극을 포함한 데이터 라인의 선폭 보다 넓게 형성하는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

청구항 26.

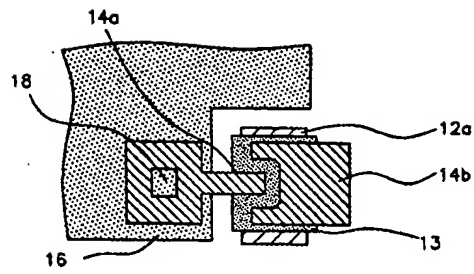
제 14항에 있어서, 상기 데이터 라인은 알루미늄, 알루미늄 합금 또는 알루미늄을 포함한 다층 구조로 형성되는 것을 특징으로 하는 박막 트랜지스터의 액정표시소자.

도면

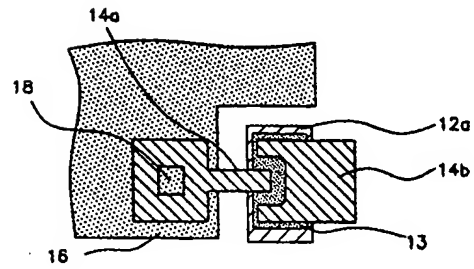
도면 1



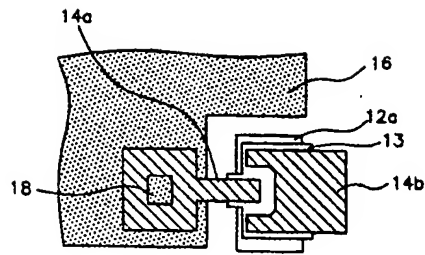
도면 2a



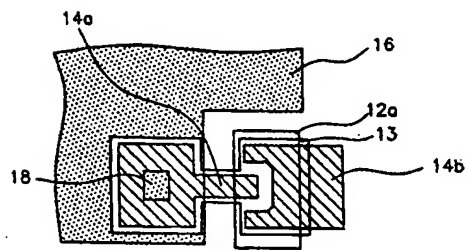
도면 2b



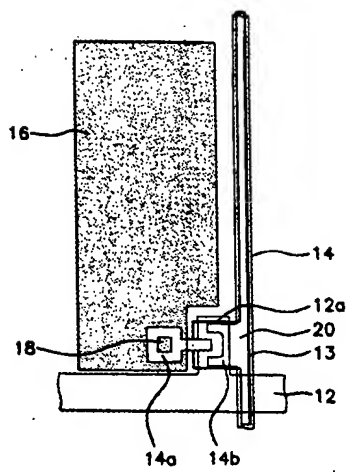
도면 2c



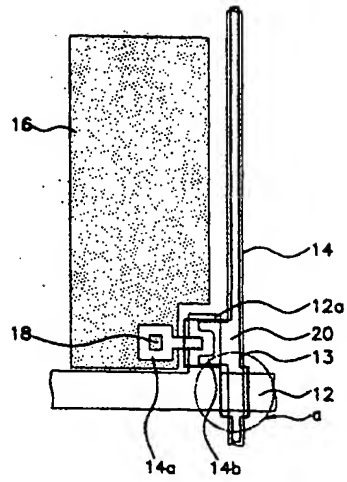
도면 2d



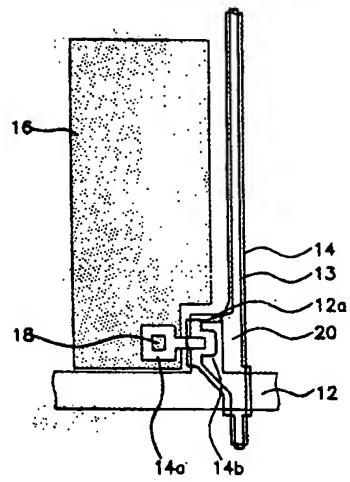
도면 2e



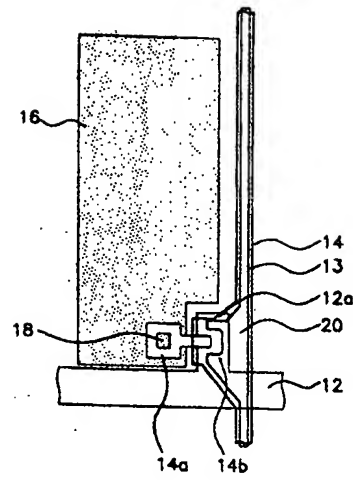
도면 2f



도면 2g



도면 2h



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.